KOREAN PATENT ABSTRACTS

(51)Int, CI H04L 12/28 (11)Issue number: 0156425 (24)Date of issue of application: 22 July

1998

(21)Application

101995067308 29 December 1995 (65)Publication number:

1019970056462

number: (22)Date of filing:

(43)Date of

(73)Patentee: LG Information publication:

31 July 1997

Communication Co. Ltd. Chung, Jangho 20 Yoldo-dong Yeonadenano-ku. Seoul 150-010 Republic of Korea

(72)Inventor:

LEE, HEE TAE 412-17 Jungchondong, Jung-gu, Daejeon, Republic of

Korea

(74)Agent:

KIM, YOUNG CHUL

(77)Request of Examination:

Examiner: PARK, JONG HAN

(54) APPARTUS OF ATM EXCHANGE FOR ACCESSING SYNCHRONOUS PUBLIC SWITCHED TELEPHONE NETWORK

(57) Abstract:

PURPOSE: An apparatus of ATM exchange for accessing a synchronous public switched telephone network is provided which is a part of a BISDN terminal adapter for efficiently matching a traditional synchronous public switched telephone network to an asynchronous ATM exchange and, more particularly, for effectively matching E1 trunks in the traditional public switched telephone network so that services provided over the E1 trunks can be provided through the ATM exchange.

That is, the apparatus is configured in which PCM data converted to an ATM cell has a unit of 12 bytes, memory at its transmitting/receiving terminals basically has a memory delay of 4ms, data is transmitted to a network interface module from when it is determined that two ATM cells each corresponding to one time slot are entering, in order to prevent jittering at the transmitting terminal. Accordingly, even though the arrival time of an ATM cell is delayed due to the congestion in the ATM exchange, PCM data can be reconfigured without

jittering in the interface module on the traditional network.

Therefore, the ATM exchange can be configured efficiently using the traditional public switched telephone network, and it is thus possible to use the traditional terminals as well as ATM terminals.

(19) 대한민국특허청(KR) (12) 등록특허공보(B1)

(51) Int. Cl.		(11) 등록변호	≒0156425
H04L 12/28		(24) 등록일자	1998년 07월 22일
(21) 출원변호	馬1995-067308	(65) 공거변호	与 1997-056462
(22) 출원일자	'995년12월29일	(43) 공거일자	1997년07월31일
(73) 특허권자	별⊼정보통신주식회사, 정장호		
	대한민국		
	150-010		
	서울시 영등포구 며의도동 20번지		
(72) 발맹자	미호태		
	대한민국		
	대전광역시 중구 중촌동 412~17		
(74) 대리인	김연철		
(77) 심사청구	심사관 박종한		
(54) 출원명	ATM 교환기의 동기식 공중망 집	접속장치	

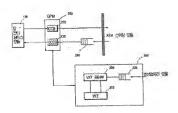
8 50

본 발명은 비통기식으로 운용되고 있는 ATM 교환가에 통기식으로 운용되고 있는 기존의 공중망을 호흡적으로 정합시키가 위한 BSDN 타 미널 어렵다(Terminal Acaper)의 갈부분으로서 통해, 기존의 공중앙경 타 트턴크를 포격으로 정합시켜 이를 통해 제공되던 서비스들이 ATM 교환기를 통해서도 제공 가능하도록 한 ATM 교환기의 동기식 공중앙 현존공화에 환한 것인다.

즉. 본 방망은 ATM 셀롱 변환되는 PCM 데이터의 단위를 12바이트로 구성하고, 이에 따라 속소신단에 구성된 메모리 지연을 기반적으로 4 ms로 통여 운동하고 송신단에서의 지터를 발생하기 위하여 한 타입/술통에 해당하는 ATM 살이 두 개가 통에운 것을 확인하는 시간부터 양안타파이스 모름로 데이터를 건속하주도록 하는 정치를 구성하여 ATM 교관기 내부에서 목주 현상이 발생하여 ATM 설및 도착이 지연되는 공공에도 기존당인 인터페이스 모듈에서 개구성되는 PCM 데이터의 제구성이 지터된 현상없이 가능하도록 함을 목적으로 한다.

이게 따라. ATM 교환기를 구성하는데 있어서 기존에 사용되는 공중 통신망을 효율적으로 적용합으로써 ATM 전용 단말뿐만이 아닌 기존 에 사용되는 단말을 수용하는데 매우 효과적이다.

DES



당세서

[발명의 명칭]

ATM 교환기의 동기식 공중당 접속장치

[도면의 간단한 설명]

제1도는 본 발명 ATM 교환기의 동기식 공중망 접속장치의 구성 블릭도.

제2도는 제1도에서 망인터페이스 모듈의 상세 구성 블럭도이다.

* 도면의 주요부분에 대한 부호의 설명

- 100 : 망인테페이스 모듈
- 200 : OFM(Input Output Processing Module)
- 213: CCB(Input Cell Control Block)
- 223 : OCCB(Opput Cell Control Block)

253,330 : 수신용 표·미포(FIFO : First In First Out)

- 301 : VXT 메모의 제대부
- 313: VXT(Virtual Translation Table)
- 320 : VXT 제어부 101 : CPU(Central Processing Unit)
- 102 : 롤더레이(ROM Array) 103 : 램머레미(RAM Array)
- 104 : 시그널링 메시지 제머부(Signalling Message Control)
- 105 : 광인터페이스부 106 : 클릭 생성부
- 107 : SIPO(Serial Input Farallel Output)
- 108 : PCM 데모리 어드레스 생성부
- 109.110 : PCM 메모리부 111 : PCM 메모리 제어부
- 112 : 송산 메모리 제대신호 생설부
- 113 : PISO(Parallel Input Serial Output)
- 114 : ATM 중신 메모리부 115 : 중신종 IDG포
- 116: IOPM 수산 인터웨이스부 117: IOPM 송선 인터페이스부

[발명의 상세한 설명]

본 발명은 비통기식으로 운용되고 있는 ATM 교환기에 통기식으로 운용되고 있는 기존의 공중망을 호출적으로 정합시키가 위한 BSDN 터 미널 어댑터(Terminal Acapary의 일부분으로서 특히, 기존의 공중망증 터 트런크를 효과적으로 정합시켜 이를 통해 제공되던 서비스등이 ATM 교환기를 통해서도 제공 가능하도록 한 ATM 교환기의 동가식 공중망 접속장치에 관한 것이다.

일반적으로 시분할 방식으로 서비스를 제공하는 E1 트렁크로 전송되는 가입자 데이터는 타임/슬롯(T/S)으로 분리되어 들어오므로 그 크기 가 ATM 설크 크기와 TECE, 이에 ATM 교환기와 E1 트렁크를 정합시키기 위해 송수신되는 데이터를 변환시합에 있어, 이러한 변환동작이 통화 움직에 엄한을 조지 않으로 하다 한다.

이때, E. I 트립크를 통해서 전승되는 PCM 데이터는 운송 한테는 1개약 프리임 단위로 운용되는데, 이 한 표레임 내에는 22개의 타임/슬롯 이 존재하고, 이 타임/슬롯은 각각 한 기업자를 수용하며 125년 단위로 IHI이트의 데이터를 보내준다. 실기와 같은 건송속도로 데이터를 보 내는 것은 사람이 물을 때 사람의 귀로 그 간국을 인제하지 못하도록 하기 위한 것이다.

반면, ATM 셀의 요용 방식은 Striple의 해더와 48th이트의 유료부하(paybad)의 53th이트로 구성되는 젤에서 ATM 교환기는 상기 해더를 이용하며 소위성을 수행하는 방법을 사용한다.

이에 따라. 125년 당위로 IH) IE씩 데이터를 전송하는 구조로 되어 있는 E1 트립크를 ATM 교환기에 접속하여 운용하기 위해서, 일반적으로 125년 단위로 진송되는 데이터를 일점구기(15년 4년 15년 전용 1년 대한 전속 반법은 실제 운용시 46배이트의 데이터를 제정하는 시간이 수선단에서만 6배와 소요되고, 이것을 하게 전혀하고 있는 그러나, 이러한 접속 반법은 실제 운용시 46배이트의 데이터를 제정하는 시간이 수선단에서만 6배와 소요되고, 이것을 하게 전혀하고 위해서는 디시 6개의 제공과장에 필요하다.

그리고, ATM 교환가 내부에서 발생할 수 있는 폭주(congastion) 현실을 처리한다. 보면 실제 견송되는 데이터의 도착 시간은 가존의 시분 할 병식을 사용하는 교환가요 상황이 많이 다르게 벼축가 어렵게 되므로 건송단에서 ATM 셀을 다시 E1 토럼크의 PCM 데이터로 변환하는 과정에서 지터링(flering) 현실과 발생하기 수신단에서 데이터의 폭형에 어려움이 발생할 가능성이 당단한다.

그런데, 기존의 ATM 교환기는 송수신되는 데이터에 있어 반사 감쇠량(Petum loss)과 반향(Echc) 현상을 될어가 위하여 송수신단간의 달레이를 10ms 0 내에서 구성하도록 하므로 상기에서 기본적으로 12ms가 소요되는 구조는 구성상에 문제점이 발생하게 된다.

이게 따라. 본 향영은 삼가와 같은 문제점을 해결하기 위해 ATM 설로 반한되는 FCM 데이터의 단위를 12대이트로 구성하고, 대에 따라 한 수신단에 구성한 메모리 자연을 기본적으로 4mc로 줄여 운용하고 송신근에서의 지터인을 반자하기 위하여 한 타임/슬롯에 해당하는 ATM 설이 두 개가 들어온 것을 높인하는 시간부든 반인단체이스 모듈로 데이터를 전송하고록 하는 경기를 구성하여 ATM 교환기 내부에서 폭주 현실이 발생하여 ATM 설의 도착시간에 지역되는 경우에도 기존맞의 인터레이스 모듈에서 재구설되는 PCM 데이터의 재구설이 지터 된 현실성이 가능하도록 한을 목적으로 한다.

상기 망인터페이스 모듈은 전체 제어동작을 하는 CPU와, 상기 CPU와 동작을 위한 프로그램을 저장하고 있는 롤더레이와; 상기 CPU와 동 작을 위한 프로그램을 저장하고 있으면서 CPU의 동작 결과를 메모리하는 캠대레이와; 접속되어 있는 망으로부터 전송되어 오는 PCM 데 이터를 복원하여 시리얼로 플릭하고, 건축하고자 하는 데이터를 접속되어 있는 망의 전기적 특성해 맞게 구성하여 망으로 출력하는 망인터 배미스부와; 상기 망인터페이스부에서 복원된 PCM 데이터의 시그널링을 상기 CPU로부터 입력 분석하며 ATM의 신호셀로서 ATM 교환기 내의 호셋업 처리 제대부로 출력하고, 호셋업 처리 제어부에서 전승되어 오는 신호설을 분석하여 공통 채널 신호로 바꾸어 상기 망인터퍼 이스부로 전송하여 망인터페이스부에서 망으로 전송할 데이터에 신호 메시지를 설도록 하는 시그림팀 메시지 제대부와: 상기 당인터페이스 부를 통해 입출력되는 데이터에 동기신호를 제공하고 전체 구성에 동알 클릭을 제공하는 클릭 생성부와; 상기 망엔터페이스부에서 복원된 타임/슬롯의 시리얼 PCM 데이터를 1바이트 단위로 출력하는 SIPO와: 12바이트는 상기 SIPO에서 12개의 프레임 기간동안 각 타임/슬롯별 로 출력되는 PCM 데이터로 구성되고, 나머지 36바이트의 영역은 더미 데이터가 저장되도록 구성되고, 여기에 ATM 해더 정보를 저장하는 영역을 포할하는 수개의 타입/슬롱 메모리로 이루대지는 두 개의 PCM 메모리부와: 상기 망인터회이스부에서 복원된 회복 클릭메 의해 내 부에 구성된 메모리 머드레스 포인터를 구성하는 카운터가 초기화되고, 상기 두 개의 PCM 메모리부중 하나의 메모리 블랙을 결정하고, 회 복 클릭의 갯수를 카운트하다. 12개의 프레임 동안 각 단임/슬롯 별로 데이터가 12바이트씩 저장되도록 하는 PCM 메모리 어드레스 생생부 와: 상기 CPJ에 의해 분석된 공통 채널 산호 정보를 이용하면 어떤 타염/슬롯의 데이터가 사용가능한 것인지에 대한 정보를 저장하고, 미 를 마용하여 상기 PCM 메모리부의 유효한 E·임/슬롯에 대해 해더를 억세스하여 유효한 데이터에 대해 출력되도록 하는 PCM 메모리 제어 부와: 상기 FCM 메모리부에서 출력되는 데이터를 삼기 ICCB로 출력하는 송산용 파이포와: 상기 송산용 파이포와 관련된 정보를 기록하며 상태에 대한 정보를 상기 ICCB로 출력하는 IOPM 수신 인터페이스부와: 상기 OCCB에서 데이터 전송 상태에 대한 정보를 제공하는 IO PM 중신 인터페이스부와: 상기 OCCB에서 전송되어 오는 ATM 설의 해더를 이용하여 메모리의 머드레스영역을 지정하고, 미플 제정한 후 미것이 완전히 저장되고 다음 주기의 데이터가 도착되면 그 즉사 미진에 저장된 데이터를 타임/슬롯 별로 출력하는 ATM 승신 메모건부와 : 삼기 망만터페이스부에서 발생하는 회복 클릭을 마용하며 동작하며 삼기 ATM 승신 메모리부에 저장된 데이터가 각 타임/슬롯 별로 출력 되도록 하는 송산 메모리 제어산호 생성부 및: 상기 ATM 송산 메모리부에서 출력되는 데이터를 사리얼 단위로 변환시켜 상기 망인터페이 소부로 출력하는 PISC를 포합하는 것을 특징으로 한다.

이하, 본 발명의 일실시예를 첨부 도면을 참조로 하며 좀 더 상세히 설명하면 다음과 같다.

제1도는 본 발명 ATM 교환기의 동기식 공중망 접속장치의 구성 블럭토이고, 제2도는 제1도에서 망인터페이스부 모듈의 구성 블럭토이다.

제 I도에 따른 본 발명의 구성은 광인터페이스 모듈(100)과, IOPM(200)과, 수건용 파이포(250)와, VXT 메모리 제어부(300)를 포함한다.

상기 망인터페이스 모듈(100)은 동기식 공중망에 접속되어 망에서 오는 PCM 데이터는 ATM 셀로 변환시키고, 양으로 진송되는 데이터는 PCM 데이터로 변환시켜 송수산한다.

상기 IDPM(200)은 상기 망인터페이스 모듈(1000에서 블럭되는 ATM 셀을 ATM 스위청 모듈 내부의 ATM 셀 형태로 변환시켜 ATM 스위청 모듈로 전송하는 ICCR(2100와, ATM 스위청 모듈에서 플럭되는 ATM 셀을 창리하는 OCCB(200물 포함하다.

상기 수신용 ID이포(250)는 ATM 스위청 모듈에서 전송되는 ATM 설을 제장하며 순차적으로 상가 OCCB(220)로 출력한다.

VXT 테모리 제어부(300)는 상기 ICCB(210)에서 입력된 ATM 설을 ATM 소위청 모듈 내부약: ATM 설 현대로 변환시킬 때 VPI와 VCI 값으 로 설 헤더를 수확합기 용시에 내부성 테디를 붙이는 VXT(310)와, 상기 VXT(310)로 데이터가 입대이트되도록 아드레스를 지칭해주는 VXT 제어부(220)와, 상기 VXT 제어부(220)로 ATM 교환기 내의 호켓업 처리 모듈체 의해 설성된 VXT(310)의 수정 데미터를 제칭하여 순차적 으로 VXT 제어부(220)로 철택하는 수신용 파기표(330)를 포함한다.

제2도에 따른 상기 망인터페이스 모듈(100)의 구성은 CPU(101)와, 룔어렌이(102)와, 햄머리이(103)와, 망인터페이스부(105)와, 시그널링 메시지 제어부(304)와, 클릭 생경부(105)와, SIOP(1373), PCM 헤모리부(105)(110)와, PCM 헤모리 어드리 소생경부(100)와, PCM 메모리 저어부(115)와, 승신을 파이포(115)와, IOPM 수신 인터페이스부(115)와, IOPM 숨신 인터페이스부(117)와, ATM 숨신 메모리부(114)와, 송신 메모리 제어소호 생경부(112)와, PISO(113)을 포함한다.

상기 CPU(101)는 망인터페이스 모듈(100) 전체 동작을 제대한다

상기 롤데레미(102)는 상기 CPL(101)의 동작을 위한 프로그램을 저장한다.

상기 램마레이(103)는 상기 CPL(101)의 동작을 위한 프로그램을 저장하고 있으면서 CFU(101)의 동작 결과를 메모리한다.

상기 망면터페네스부(IUS)는 접속되어 있는 망으로부터 전송되어 오는 PCM 데이터를 목원하며 시리얼로 출력하고, 전송하고자 하는 데이터를 접속되어 있는 망의 전기적 독성에 맞게 구성하여 망으로 출력한다.

상기 시계점 메시지 제대부(100)는 상기 만인터페이스본(105)에서 폭원된 PCM 데이터의 시그날림을 상기 CPL(101)라보터 업략 설착하며, ATM의 선호설로서 ATM 교환기 내의 호셋의 처리 제어부로 홈럭하고, 호셋의 처리 제어부에서 전송되어된 이는 신호설을 부색하여 공통 채 날 신호로 바꾸어 상기 망안터페이스부(100)로 건송하여 양안터페이스부(105)에서 망으로 전송함 데이터에 신호 여자기를 설도록 한다.

상기 클릭 생성부(106)는 상기 망인터페이스부(105)를 통해 입출력되는 데이터에 동기신호를 제공하고 전체 구성에 똥일 클릭을 제공한다.

상기 SIPD(107)는 상기 망인터페이스부(105)에서 복원횡 타암/슬롯과 시리얼 PCM 데디터를 18H이트 단위로 출력한다.

상기 P.C.M 메모리부(109X110)는 12바이트는 상기 SPO(107에서 12개의 프레임 기간동안 각 타임/슬롯 별로 출락되는 °CM 데이터로 구 성도, LIDTN 36바이트의 영역을 대다 대미터가 제공되도록 구성되고, 여기에 ATM 하다 정보를 제공하는 영역을 포함하는 수개의 타임/ 슬롯 테모리로 이루다진다.

상기 PCM 메모리 기드레스 생성부(100)는 상기 망인단페이스부(105)에서 복원된 최복 클릭에 의해 내부에 구성된 메모리 이드레스 포인터를 구성하는 거용된기 초기호되고, 상기도 가의 PCM 메모리부(105)(대)의 하나의 메모리 블럭을 결정하고, 회복 블럭의 것수를 가운트하여 대 1개의 프웨덴 등의 간 타기(4년)로 병로 데데마디가 강해도 문화 자조되도록 하다.

상기 PCM 메모리 제대부(111)는 상기 CFU(10)에 약해 본석된 공통 채널 신호 정보를 마음하며 어떤 단임/슬롯의 대미터가 사용가능한 것인지에 대한 정보를 가장하고, 이름 마음하며 상기 PCM 메모리부(169(110)의 유효한 타임/슬롯에 대해 해대를 억세스하여 유효한 데미 단체 대해 충격되도록 제어한다.

상기 송신용 파이포(115)는 상기 PCM 메모리부(109)(110)에서 출력되는 데이터를 상기 ICCB(210)로 출력한다.

상기 IOPM 수선 인터페이스로(116)는 상기 중신용 파이포(115)와 관련된 정도를 기록하여 그 상태에 대한 정보를 상기 ICCB(210)로 출력 한다.

상기 IOPM 숨선 인터페이스부(117)는 상기 OCCB(220)에서 데이터 전승 상태에 대한 정보를 저장한다.

상기 ATM 송신 메고리부(114)는 상기 OCCB(220)에서 전송되어 오는 ATM 설의 해더를 이용하며 메모리의 어드레스영역를 지정하고, 미 를 저장한 후 이것이 완전히 저장되고 다음 주기의 데이터가 도역되면 그 즉시 이전에 저장된 데이터를 타임/슬롯 별로 출력한다.

성기 중신 메모리 제어신호 생성부(112)는 성기 명인터페마스부(105)에서 발생하는 회복 클릭을 이용하여 동작하여 상기 ATM 중신 메모리 부(114)에 저장된 데이터가 각 다임/슬롯 벨로 출력되도록 한다.

상기 PISO(113)는 상기 ATM 송신 메모리부(114)에서 출력되는 테대터를 시리얼 단위로 변환시켜 삼기 망인터페이스부(105)로 출력한다.

상기와 같은 구성으로 이루어진 본 발명의 동작은 다음과 같다.

우선, 망으로부터 전송되어 오는 PCM 데이터를 ATM 셀로 구성하는 과정을 설명한다.

망인터테이스부(16)에서 복원된 첫복 클럽은 PCM 에모고 마드레스 성성부(16)의 내부에 하드웨어적으로 구성된 메모리 마드레스 포언 터클 구성하는 카운터를 최기화시켜주는데, 미때 살가 PCM 메모리 마드레스 성성부(16)의 내부에는 두 개의 PCM 레모리막(16)에 ID 중 6~나의 메모리 탈복을 결정하는 회로보기회복 클릭적 곳수를 카운트하는 회로가 구성되어 12개의 포함의 기간 등단 수입사들록 별로 데미 터가 12대이트릭 자장되도록 한다. 미때, 마드레스 포인터와 SIPO(107)는 통계가 활치하여하나의 마드레스가 지정되는 동안 비너디트의 데 미터가 마모리에 자장되는 구동 만든다.

각 PCM 메르리부(105(110) 내 각각의 E13/술롯에 지점될 해더 정보는 ICCR(210)에서 VXT(310)에 의해 수정되어 ATM 교환기 내부의 스위함에 이용된다. 즉, 접수 당의 트링크 라인을 통해서 건승되어 오는 공용 채널 정보를 본석하여 시그렇이 메지지 제대부(104)에 저장해 충돌 때 이곳이 ATM의 신호발로 본환되며 ATM 교환기의 호켓한 처럼 모음물 건승되고, 이해 따라 호였합 처리 모음에서 호 정말을 본석 하여 미를 VXT(310)에 제공해 부는다. 이와 같이 VXT(310)에 제공된 경험을 미용하여 승신용 파이포(115와 10PM 수신 인터페이스부(116)를 통해 대미단기(CCR(210)로 전용할 때 보기 해져 정보는 수업되어 ATM 교환기 배부의 소취하여 이용되는 것이다.

시그날링 에서지 저어부('여)에 CPU(10)가 정보를 저장함 및 CPU(10)는 공통 채널 선호 정보를 분석하여 CPU 1일(술론의 GDIE가 사용한 IGDI인지에 대한 정보를 제공하고, 더 정보를 이용하여 각 PCM 메모리부(109)(110에 지장되어 있는 GDI단증 어떤 GDI단등 ATM 설로 변환할 것인 기를 검정하게 당는데, 이것은 한정된 ATM 교환기에 필요있는 데이터의 부당을 제거하는데 오용하다.

PCM 메모리부(109(110의 구성은 각각의 및 특행되의 타일/슬롯 마다 48바이트의 어드레스 공간을 가지며, 이중 12바이트 만이 유용한 PCM 데데티로 구성되어 있고, 나머귀 와바이트의 영역은 데미 데이터가 저장되어 있다. 그리고, 각각의 메모리는 ATM 해더 정보를 저장하는 영역이 존재하는데, 이 영역은 가존에 필요되어 있는 것이 없으므로 내부 소가화시에 PCM 메모리부(109)(110)의 ATM 헤더 영역에 미리 정해진 강으로 소프트웨어가 메모리에 새존대.

이때, PCM 배모리부(109(11)에 저장된 데이터를 이용하여 ATM 설로 구성하는 과정에서 PCM 배모리 제에부(11)에 의해서 제기가 수 생되는데, 여기서 성기 PCM 메모리 제어부(11)에 비해 보다는 전용 10분에 제기가 수 생되는데, 여기서 성기 PCM 메모리 제어부(11)의 내부 구성은 10분에 존한 소문을 판단하는 정보를 이용하여 타입을에 오상한 경우 나보에 구성된 2개의 포인터를 공작시켜 상기 PCM 메모리 리부(109(11)의 본 PCM 데이터 사라이는 가 중신을 피어표(115)에 기독되도록 하는 부분으로 구성된다. 성기 중신을 피기표(115)가 상기 PCM 메모리 부분(109)(110에서 등적되는 데이터를 건물할 경우, 이해 대한 상태 정보를 IOPM 수신 인터페이스부(116)에서 기독하여 마를 ICCB(210)로 건송한다. 이때, 상기 중신을 파이포(115)와 OPM 수선 인터페이스부(116)와 10분에 기독하여 마를 ICCB(210)로 전송한다. 이때, 상기 중신을 파이포(115)와 OPM 수선 인터페이스부(116)와 ICCB(210)로 가장을 사용하여 제어해 준다.

한편. ATM 스위칭 모듈로부터 전송되어 온 ATM 셀을 분리하고 미를 PCM 데이터로 복원하는 과정은 다음과 같다.

상기 UTOPIA 엔터페디스를 기용하며 OCCB(220)로부터 전송되어 오는 ATM 셀의 저장은 ATM 헤다를 미용하며 ATM 송스 메모리누(114) 베 메모리 버트레스 병역을 지상했으로써 수행되는데, 이때 삼가 ATM 페디에 대한 정보는 어트레스를 지장하는 역할 웨메 송신 메모리 제 어진호 성성부(112) 내부에 존재하는 ATM 셀 키운터를 봉작시키는 것에도 사용된다. 여기서, 상기 농신 메모리 재머신호 성성부(112)는 P CM 데데티크 폭행하는 계장께서 발생할 수 있는 지단원을 방지한다. 이렇게 하여 ATM 송선 마모리보(114)의 합역에 테이터가 완전히 저장되고 다음 국기의 데이터가 도착한 것이 확인된 순간에 송선 템모 다 제어선호 생성복(117)는 방안[대]에스북(1050세), 제공되는 회복 클럽을 마용하게 그 내부의 쪼인터를 중국시되면 때 대구, ATM 수 선 메모리복(114)에 저장되어 있는 테이터가 국다임(실롯 별로 PISO(113)를 통해 망인터페이스복(135)로 진송되는다. 이때 상가 데이터를 문명 당한 과언 역각인 타감/슬롯을 합당되어 전송되고, 여기에 선호 메지가 살리게 된다. 여기서, 성기 망인터페이스복(105)서 각 타임/슬롯에 살리는 선호 메시는 시그 날 메시서 제대부(104)에서 전송되어 또는 경통 제신 전상기 된다. 유니 의통 재결 선호는 시고 날 메시지 제어부(104)에서 호렛의 처리 모콜로부터 전용되어 온 선호설을 본석하여 이를 공통 신호 채널로 단원시킨 선호이다. 이때, 상기 저제 송선 머모리는(114)는 등점 모든 점을 사용하여 구성되면서, 이에 따라 전체 대전은 13ms 미네게서 구성될 수 있다.

이상에서 살펴본 바와 같이 본 발명에 ID로면, ATM 교환기를 구성하는데 있어서 기존에 사용되는 공중 토선망을 효율적으로 적용함으로써 ATM 전용 단말뿐만이 아닌 기존에 사용되는 단말을 수용하는데 매우 효과적이다.

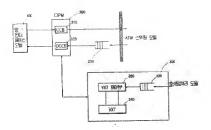
(57) 친구의 변위

청구합 1.

ATM 교환기의 동기적 공중한 접수합체에 있어서, 동기적 공중만에 접속되다 방에서 오는 PCM 데이터는 ATM 설로 변환시키고, 안으로 건속되는 데이터는 PCM 데이터로 변환시켜 송수십하는 양인터페이스 모듈에 살 기 일인터페이스 모듈에 설립되는 ATM 설률 ATM 스 위성 모듈 내부의 ATM 설 한다면 변환시켜 송수십하는 당한다. ATM 소위성 모듈에서 출력되는 ATM 설률 ATM 하는 O CCG를 포함하는 IOPM와 ATM 소위성 모듈에서 전송되는 ATM 설출 지경하며 소차적으로 상기 OCCCR을 클릭하는 수선을 때미포 및 상기 ICCG에서 업적된 ATM 설출 ATM 소위성 모듈에서 설립되는 ATM 설출 지경하며 소차적으로 상기 OCCCR을 클릭하는 수선을 때미포 및 상기 ICCG에서 업적된 ATM 설章 ATM 소위성 모듈에서 설립되는 전체 설립 제공 함께 보다는 VCT와, 상기 VCT 제어부로 ATM 교환기 내외 호선업 제리 모듈에 입해 성정된 VCT의 수정 데이터를 제공하여 순차적으로 상기 VCT 제어부와, 상기 VCT 제어부로 ATM 교환기 내외 호선업 제리 모듈에 입해 성정된 VCT의 수정 데이터를 제공하여 순차적으로 상기 VCT 제어부로 출력하는 수선을 파이 포를 포함하는 VCT 메이터 NCT 제공 통적으로 하는 ATM 교환기 대의 보증에 대한 등록 포함하는 소설을 파이로 공항으로 수상 ATM 제공 기 본 전속 제공 기 본 전략에 모든 제속 제공 기 본 전략에 모습 지속 제공 기 본 기 본 전속 제공 기 본 전략에 되었다.

청구한 2.

제1할게 있어서, 상기 망만터페이스 모듈은 전체 제어동작을 하는 CPU와; 상기 CPU의 동작을 위한 프로그램을 저장하고 있는 로어컨이와; 상기 CPU의 동작을 위한 프로그램을 저장하고 있으면서:CPU의 동작 결과를 메모리하는 햄머래미와: 접속되어 있는 망으로부터 전송되어 오는 PCM 데이터를 복원하며 시민일로 출력하고, 전송하고자 하는 데이터를 접속되어 있는 말의 친기적 특성에 맞게 구성하여 많으로 출 력하는 망인터페이스부와: 상기 망인터페이스부에서 특원된 PCM 데이터의 세그널링을 상기 CPU로부터 업력 분석하여 ATM의 선호별로 서 ATM 교환기 내의 호셋입 처리 제어부로 졸력하고, 호셋입 처리 제어부테서 전송되며 오는 신호셀을 분석하며 공통 채널 신호로 바꾸어 상기 망인터제미스부로 건송하여 망인터페이스부에서 망으로 전송할 데이터에 신호 메시지를 실도록 하는 치그널링 페시지 제어부와: 상기 망인터페미스부를 통해 입출력되는 데이터에 통기신호를 제공하고 전체 구성에 동일 블럭을 제공하는 블럭 생성부와: 상기 망인터페미스 부에서 복원된 타입/슬륫의 시간영 PCM GIDI터를 IHIDI트 단위로 출력하는 SIPO와: 12HDI트는 삶기 SIPO에서 12개의 포레딩 기간동안 각 타임/슬루별로 출력되는 PCM 데이터로 구성되고, 나마지 36바이트의 영역은 더미 데이터가 저장되도록 구성되고, 여기에 ATM 하다 정보를 저장하는 영역을 포함하는 수개의 타임/슬륫 메모리로 이루어지는 두 개약 PCM 메모리부와; 상기 망인터페이스부에서 복원된 회 턱 클럭에 의해 내부에 구성된 메모리 어드레스 포인터를 구성하는 카운터가 초기화되고, 상기 두 개의 PCM 메모리부증 하나의 메모리 볼 력을 결정하고, 회복 클럽의 것수를 가운트하며 12개의 프레임 동안 각 타임/슬로 별로 데이터가 12바이트씩 저장되도록 하는 PCM 메모리 어도레스 생성부와: 상기 CPU에 의해 분석된 공통 채널 신호 정보를 이용하여 이떤 타임/슬롯의 데이터가 사용가능한 것인지에 대한 정보 를 저장하고, 이를 미용하여 삼기 PCM 메모리부의 유호한 타임/송봇에 대해 해더를 억세스하며 유호한 테미터에 대해 출력되도록 하는 P CM 메모리 제미부와; 상기 PCM 메모리부에서 출력되는 데이터를 삼기 ICCB로 출력하는 중선용 파이포와; 삼기 중신용 파이포와 관련된 정보를 기록하여 그 실태에 대한 정보를 삼기 ICCB로 출력하는 IOPM 수산 인터페이스와; 삼기 OCCB에서 데이터 진송 상태에 대한 정보 를 저장하는 IOPM 송신 인터페이스부와: 상기 CCCB에서 전송되어 오는 ATM 설의 해더를 이용하여 메모리의 어드레스덩역을 지정하고. 이를 처장한 후 미것이 완전히 저장되고 다음 주기의 데이터가 토학함이 그 즉시 이전에 정착된 데이터를 타입/술후 별로 출락하는 ATM 송신 메모리부와; 상기 양인터페이스부에서 발생하는 회복 플릭을 대용하며 동작하여 상기 ATM 송선 메모리부에 저장된 데이터가 각 타임 /술론 별로 쓸릭되도록 하는 송신 메모리 제대신호 생성부 명: 상기 ATM 송신 메모리부에서 쓸릭되는 데이터를 시리얼 단위로 변환시켜 상기 망인터웨이스부르 출력하는 PISC을 포한하는 것을 통장으로 하는 ATM 교환기의 동기식 공중망 정속장치.



도면 2

